

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 12 月 11 日 (11.12.2003)

PCT

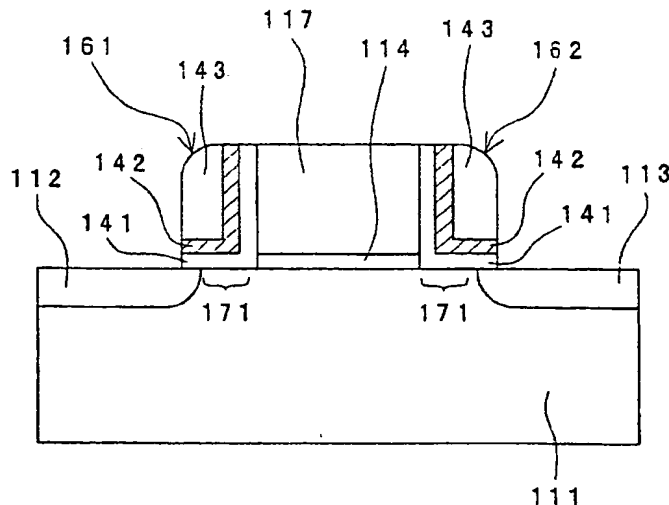
(10) 国際公開番号
WO 03/103058 A1

- (51) 国際特許分類: H01L 29/788, 29/792, 27/115, 21/8247, G06K 19/077 (71) 出願人(米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP03/06730 (72) 発明者; および (75) 発明者/出願人(米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町 信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 104-B203 Nara (JP). 足立 浩一郎 (ADACHI, Kouichirou) [JP/JP]; 〒632-0093 奈良県 天理市 指柳町 223-718 Nara (JP).
- (22) 国際出願日: 2003 年 5 月 29 日 (29.05.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-158645 2002 年 5 月 31 日 (31.05.2002) JP
特願2003-97977 2003 年 4 月 1 日 (01.04.2003) JP

[続葉有]

(54) Title: IC CARD

(54) 発明の名称: ICカード



(57) Abstract: An IC card comprising a data memory section (503) consisting of a plurality of storage elements. The storage element comprises a semiconductor substrate, a semiconductor film arranged on a well region or an insulator provided in the semiconductor substrate, a gate insulation film formed on the semiconductor film, the well region provided in the semiconductor substrate, or the insulator, a single gate electrode formed on the gate insulation film, two memory function bodies formed on the opposite sides of the sidewall of the single gate electrode, a channel region arranged beneath the single gate electrode, and diffusion layer regions arranged on the opposite sides of the channel region. A low-cost IC card is provided by mounting a memory employing storage elements which can be scaled down furthermore.

(57) 要約: ICカードは、複数の記憶素子からなるデータメモリ部503を備えている。この記憶素子は、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体膜と、半導体基板上、半導体基板内に設けられたウェル領域上又は

[続葉有]

BEST AVAILABLE COPY

WO 03/103058 A1

明 細 書

I C カード

5 技術分野

本発明は、I C カードに関する。より詳細には、電荷量又は分極の変化を電流量に変換する機能を有する電界効果トランジスタからなる記憶素子を備えた I C カードに関する。

10 背景技術

従来技術である I C カードの構成を図 2 4 に示す。I C カード 9 内には、MP U (Micro Processing Unit: 超小型演算処理装置) 部 9 0 1、コネクタ部 9 0 2 及びデータメモリ部 9 0 3 が内蔵されている。MP U 部 9 0 1 内には、演算部 9 0 4、制御部 9 0 5、ROM (Read Only Memory: 読み出し専用メモリ) 9 0 6 及び R A M (Random Access Memory: ランダム・アクセス・メモリ) 9 0 7 が
15 あり、これらが 1 つのチップに形成されている。上記各部は、配線 9 0 8 (データバス、電源線等を含む) で接続されている。また、コネクタ部 9 0 2 と外部のリーダライタ 9 0 9 は、I C カード 9 がリーダライタ 9 0 9 に装着されたときに接続され、カードに電力が供給されるとともにデータの交換が行なわれる。

20 データメモリ部 9 0 3 は、書換え可能な記憶素子からなり、一般的には E E P R O M (Electrically Erasable Programmable ROM: 電氣的に消去可能な読み出し専用メモリ) が用いられることが多い。一方、ROM 9 0 6 は一般的にマスク ROM が用いられていることが多く、主として MP U を駆動するためのプログラムが格納されている。

25 I C カードは、キャッシュカード、クレジットカード、個人情報カード、プリペイドカードなど極めて多くの応用が可能であるが、より広範な普及のためのキーポイントの 1 つは、更なる低コスト化である。I C カードを構成する部品のなかでも、メモリ部の低コスト化は重要な課題となっている。

一実施形態では、上記 IC カードは論理演算部を備えている。したがって、上記 IC カードに、単なる記憶機能にとどまらず、様々な機能を与えることが可能となる。

一実施形態では、上記 IC カードは、外部の機器との通信手段と、外部から照射された電磁波を電力に変換する集電手段とを備えているので、外部の機器と電
5 氣的に接続するための端子を備える必要がない。したがって、上記端子を通じた静電破壊を防止することができる。また、外部の機器と必ずしも密着する必要がないので、使用形態の自由度が大きくなる。更には、上記データメモリ部を構成する上記記憶素子は、比較的低い電源電圧で動作するので、上記集電手段の回路
10 を小型化し、コストを削減することができる。

一実施形態では、上記データメモリ部と上記論理演算部は 1 つのチップ上に形成されていることを特徴としている。

上記実施形態の構成によって、IC カードに内蔵されるチップの数が減少してコストが削減される。更には、上記データメモリ部を構成する上記記憶素子を形成するプロセスと、上記論理演算部を構成する素子を形成するプロセスとは非常
15 に似ているから、両素子の混載が特に容易である。したがって、上記論理演算部と上記データメモリ部を 1 つのチップ上に形成することによるコスト削減効果を特に大きくすることができる。

一実施形態では、上記論理演算部は、上記論理演算部の動作を規定するプログラムを記憶する記憶手段を備え、上記記憶手段は外部から書き換え可能であり、
20 上記記憶手段は、上記データメモリ部の記憶素子と同じ構成を有する記憶素子を備えことを特徴としている。

上記実施形態によれば、上記記憶手段は外部から書き換え可能であるから、必要に応じて上記プログラムを書き換えることにより、IC カードの機能を飛躍的に高くすることができる。上記記憶素子は微細化が容易であるから、例えばマスク ROM を上記記憶素子で置き換えてもチップ面積の増大を最小限にとどめる
25 ことができる。更には、上記記憶素子を形成するプロセスと、上記論理演算部を構成する素子を形成するプロセスとは非常に似ているから、両素子の混載が容易で、コスト増を最小限に抑えることができる。

にオーバーラップするように形成されてなるので、ＩＣカードの動作速度を向上させることができる。

図面の簡単な説明

- 5 図１は本発明の実施の形態１０のＩＣカードを示す構成図である。
- 図２は本発明の実施の形態１０のＩＣカードの一部を構成する記憶素子を、セルアレイ状に配列した例を示す回路図である。
- 図３は本発明の実施の形態１１のＩＣカードを示す構成図である。
- 図４は本発明の実施の形態１２のＩＣカードを示す構成図である。
- 10 図５は本発明の実施の形態１のメモリ素子の要部の概略断面図である。
- 図６は図５の要部の拡大概略断面図である。
- 図７は図５の変形の要部の拡大概略断面図である。
- 図８は本発明の実施の形態１の記憶素子の電気特性を示すグラフである。
- 図９は本発明の実施の形態１の記憶素子の変形の要部の概略断面図である。
- 15 図１０は本発明の実施の形態２の記憶素子の要部の概略断面図である。
- 図１１は本発明の実施の形態３の記憶素子の要部の概略断面図である。
- 図１２は本発明の実施の形態４の記憶素子の要部の概略断面図である。
- 図１３は本発明の実施の形態５の記憶素子の要部の概略断面図である。
- 図１４は本発明の実施の形態６の記憶素子の要部の概略断面図である。
- 20 図１５は本発明の実施の形態７の記憶素子の要部の概略断面図である。
- 図１６は本発明の記憶素子の書き込み動作を説明するための図である。
- 図１７は本発明の記憶素子の書き込み動作を説明するための図である。
- 図１８は本発明の記憶素子の第１の消去動作を説明するための図である。
- 図１９は本発明の記憶素子の第２の消去動作を説明するための図である。
- 25 図２０は本発明の記憶素子の読出し動作を説明するための図である。
- 図２１は本発明の記憶素子の電気特性を示すグラフである。
- 図２２は従来技術であるＥＥＰＲＯＭの電気特性を示すグラフである。
- 図２３は標準ロジック部を構成するトランジスタを示す概略断面図である。
- 図２４は従来技術のＩＣカードを示す構成図である。

ることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

- 5 ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm
- 10 程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

- ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に
- 15 限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャネル領域が形成されるが、チャネル領域は、ゲート電極下のみならず、
- 20 ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャネル領域が存在する場合には、そのチャネル領域は、ゲート絶縁膜又は後述するメモリ機能体で覆われていることが好ましい。

- メモリ機能体は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップする機能を有する膜又は領域を含んで構成される。
- 25 これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシド、ジルコニウムオキシド、タンタルオキシド等の高誘電体；酸化亜鉛；金属等が挙げられる。メモリ機能体は、例えば、シリコン窒化膜を含む

メモリ機能体は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

メモリ機能体は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動して記憶素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、記憶素子的高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たすメモリ機能体としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜及びシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキサイド、イットリウムオキサイドなどを用いることができる。更には、第2及び第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質で

荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好ましい。

特に重要なことは、メモリ機能体中の電荷蓄積領域の少なくとも一部が、拡散層領域であるソース／ドレイン領域の一部とオーバーラップしていることである。

本発明のICカードを構成する記憶素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差によりメモリ機能体を横切る電界によって記憶を書き換えることであるためである。ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量はメモリ効果と駆動電流の双方が適切な値となるように決定すればよい。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいため、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

本発明の記憶素子は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書き込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の記憶素子をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセル

部はチャネル領域となる。

メモリ機能体161、162における電荷を保持する領域142と拡散層領域112、113とがオーバーラップすることによる効果を説明する。

図6は、図5の右側のメモリ機能体162周辺部の拡大図である。W1はゲート電極114と拡散層領域113とのオフセット量を示す。また、W2はゲート電極のチャネル長方向の切断面におけるメモリ機能体162の幅を示しているが、メモリ機能体162のうちシリコン窒化膜142のゲート電極117と離れた側の端が、ゲート電極117から離れた側のメモリ機能体162の端と一致しているため、メモリ機能体162の幅をW2として定義した。メモリ機能体162と拡散層領域113とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、メモリ機能体162のうちシリコン窒化膜142が、拡散層領域113とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図7に示すように、メモリ機能体162aのうちシリコン窒化膜142aのゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体162aの端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

図8は、図6の構造において、メモリ機能体162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流 I_d は、メモリ機能体162を消去状態（正孔が蓄積されている）とし、拡散層領域112、113をそれぞれソース領域、ドレイン領域として、デバイスシミュレーションにより求めた。

図8から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散層領域113とがオーバーラップしない）では、ドレイン電流 I_d が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散層領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域とがオーバーラップすることが好ましい。

能を有する電荷保持膜と、絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜 1 4 2、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜 1 4 1、1 4 3 を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、言い換えると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図 9 に示したように、メモリ機能体 1 6 2 の電荷保持膜 1 4 2 b が、ゲート絶縁膜 1 1 4 表面と略平行な面を有している。言い換えると、電荷保持膜 1 4 2 b は、ゲート絶縁膜 1 1 4 表面に対応する高さから、均一な高さに形成されることが好ましい。メモリ機能体 1 6 2 中に、ゲート絶縁膜 1 1 4 表面と略平行な電荷保持膜 1 4 2 b があることにより、電荷保持膜 1 4 2 b に蓄積された電荷の多寡によりオフセット領域 1 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、電荷保持膜 1 4 2 b をゲート絶縁膜 1 1 4 の表面と略平行とすることにより、オフセット量 (W 1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜 1 4 2 b 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、メモリ機能体 1 6 2 は、ゲート絶縁膜 1 1 4 の表面と略平行な電荷保持膜 1 4 2 b とチャネル領域 (又はウェル領域) とを隔てる絶縁膜 (例えば、シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分) を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い記憶素子を得ることができる。

機能体 1 6 2 に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜 1 4 3 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 1 1 4 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

- 5 電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）をさらに含むことが好ましい。この絶縁膜により、電
10 荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極か
15 ら電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、記憶素子の信頼性を向上させることができる。

さらに、上記実施の形態 1 と同様に、電荷保持膜 1 4 2 下の絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 1 4 1 のうちゲ
20 ート電極 1 1 7 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 1 4 2 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

（実施の形態 3）

この実施の形態 3 は、ゲート電極、メモリ機能体及びソース／ドレイン領域間
25 距離の最適化に関する。

図 1 1 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極

この実施の形態5の記憶素子は、図13に示すように、上記実施の形態1において、N型のソース／ドレイン領域112、113のチャネル側に隣接して、P型高濃度領域191を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型を与える不純物（例えばボロン）濃度が、領域192におけるP型を与える不純物濃度より高い。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、ソース／ドレイン領域112、113と半導体基板111との接合が、メモリ機能体161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な記憶素子を得ることができる。

また、図13において、ソース／ドレイン領域112、113近傍であってメモリ機能体161、162の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下にある場合に比べて著しく大きい。メモリ機能体161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191をメモリ機能体の下であってソース／ドレイン領域112、113近傍に配置することにより、書込み時の閾値のみが非常に大きく変

絶縁膜の厚さT1を薄くすることにより、メモリ機能体161、162への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜142に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

ところで、メモリ機能体161、162中での電気力線は、図10の矢印184で示すように、シリコン窒化膜142を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時には大きな役割を果たしている。絶縁膜の厚さT1を薄くすることによりシリコン窒化膜142が図の下側に移動し、矢印183で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、電気力線184に沿ったメモリ機能体161、162中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極117に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

以上より明らかなように、シリコン酸化膜141の厚さT1とゲート絶縁膜114の厚さT2とについて、 $T1 < T2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さT1は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる0.8 nm以上であることが、より好ましい。

具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバーLSIのような場合、液晶パネルTFT（薄膜トランジスタ）を駆動するために、最大15～18Vの電圧が必要となる。このため、ゲート酸化膜を薄膜化することができない。上記液晶ドライバーLSIに画像調整用として本発明の記憶素子を混載する場合、本発明の記憶素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250 nmのメモ

ることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書き込み消去ゲート電極を構成し、上記書き込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors：国際半導体技術ロードマップ）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。本発明の記憶素子では、上述したように絶縁膜の厚さT1とゲート絶縁膜114の厚さT2とを個別に設計できることにより、微細化が可能となる。例えば、本発明では、ゲート電極長（ワード線幅）45 nmのメモリセルに対して、T2=4 nm、T1=7 nmで個別に設定し、短チャネル効果の発生しない記憶素子を実現した。ゲート絶縁膜114の厚さT2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由はゲート電極117に対して、ソース／ドレイン領域112、113がオフセットしているためである。また、本発明の記憶素子は、ゲート電極117に対して、ソース／ドレイン領域112、113がオフセットしているため、通常のロジックトランジスタと比較しても更に微細化を容易にしている。

以上要約すると、メモリ機能体161、162の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域との間に働く高電界が直接作用せず、ゲート電極117から横方向に広がる比較的弱い電界が作用するだけである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリセルの実現が可能になるのである。

（実施の形態8）

この実施の形態8は、記憶素子の動作方法に関する。

メモリ機能体 231a に電子を注入して、書込みを行なうことができる。

次に、上記記憶素子の消去動作原理を図 18、図 19 及び図 20 で説明する。

第 1 のメモリ機能体 231a に記憶された情報を消去する第 1 の方法では、図 18 に示すように、第 1 の拡散層領域 207a に正電圧（例えば、+5V）、P 型ウェル領域 202 に 0V を印加して、第 1 の拡散層領域 207a と P 型ウェル領域 202 との PN 接合に逆方向バイアスをかけ、更にゲート電極 204 に負電圧（例えば、-5V）を印加すればよい。このとき、上記 PN 接合のうちゲート電極 204 付近では、負電圧が印加されたゲート電極 204 の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の P 型ウェル領域 202 側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極 204 方向に引きこまれる結果、第 1 のメモリ機能体 231a にホール注入が行なわれる。このようにして、第 1 のメモリ機能体 231a の消去が行なわれる。このとき第 2 の拡散層領域 207b には 0V を印加すればよい。

第 2 のメモリ機能体 231b に記憶された情報を消去する場合は、上記において第 1 の拡散層領域 207a と第 2 の拡散層領域 207b との電位を入れ替えればよい。つまり、第 1 の拡散層領域 207a の印加電圧を 0V、第 2 の拡散層領域 207b の印加電圧を +5V にすればよい。

第 1 のメモリ機能体 231a に記憶された情報を消去する第 2 の方法では、図 19 に示すように、第 1 の拡散層領域 207a に正電圧（例えば、+4V）、第 2 の拡散層領域 207b に 0V、ゲート電極 204 に負電圧（例えば、-4V）、P 型ウェル領域 202 に正電圧（例えば、+0.8V）を印加すればよい。この際、P 型ウェル領域 202 と第 2 の拡散層領域 207b との間に順方向電圧が印加され、P 型ウェル領域 202 に電子が注入される。注入された電子は、P 型ウェル領域 202 と第 1 の拡散層領域 207a との PN 接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN 接合において、電子-ホール対を発生させる。すなわち、P 型ウェル領域 202 と第 2 の拡散層領域 207b との間に順方向電圧を印加することにより、P 型ウェル領域 202 に注入された電子がトリガーとなって、反対側に位置する P

ように、第1の拡散層領域207aをソース領域に、第2の拡散層領域207bをドレイン領域とし、トランジスタを飽和領域動作させる。例えば、第1の拡散層領域207a及びP型ウェル領域202に0V、第2の拡散層領域207bに+1.8V、ゲート電極204に+2Vを印加すればよい。この際、第1のメモリ機能体231aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体231aに電子が蓄積している場合は、第1のメモリ機能体231a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体231aの記憶情報を読み出すことができる。このとき、第2のメモリ機能体231bにおける電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

第2のメモリ機能体231bに記憶された情報を読み出す場合、第2の拡散層領域207bをソース領域に、第1の拡散層領域207aをドレイン領域とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域207b及びP型ウェル領域202に0V、第1の拡散層領域207aに+1.8V、ゲート電極204に+2Vを印加すればよい。このように、第1のメモリ機能体231aに記憶された情報を読み出す場合とは、ソース/ドレイン領域を入れ替えることにより、第2のメモリ機能体231bに記憶された情報の読出しを行なうことができる。

なお、ゲート電極204で覆われないチャネル領域が残されている場合、ゲート電極204で覆われないチャネル領域においては、メモリ機能体231a、231bの余剰電荷の有無によって反転層が消失又は形成される結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域の幅を決定することが好ましい。

拡散層領域207a、207bがゲート電極204端に達している場合、つまり、拡散層領域207a、207bとゲート電極204とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらない

関係を示している。

図 2 1 から明らかなように、消去状態（図 2 1 中において実線で示す状態）から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッシヨルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 V_g が比較的高い領域においても、消去状態と書込み状態とでのドレイン電流比が大きくなっている。例えば、 $V_g = 2.5 \text{ V}$ においても、電流比は 2 桁以上を保っている。このような特性は、EEPROM の場合（図 2 2）と大きく異なる。なお、図 2 2 において、実線は消去状態におけるドレイン電流の対数 $\log(I_d)$ とゲート電圧 V_g との関係を示し、点線は書き込み状態におけるドレイン電流の対数 $\log(I_d)$ とゲート電圧 V_g との関係を示している。

このような特性の出現は、ゲート電極と拡散層領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。記憶素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、図 2 1 の書込み状態においてサブスレッシヨルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。一方、記憶素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。なおかつ、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッシヨルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上のことから明らかなように、本発明の記憶素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

以下に、上記実施の形態 1 ～ 7 に記載した記憶素子を備えた IC カードの実施例を記す。

（実施の形態 10）

本実施の形態 10 の IC カードを、図 1 及び図 2 を用いて説明する。図 1 は、IC カードの構成を示す図である。図 2 は、IC カードに用いられる記憶素子からなるセルをアレイ状にしたときの回路図の例を示している。

を行なえばよい。

上記手順からわかるように、記憶素子を形成するための手順は、通常の標準ロジックトランジスタ形成プロセスと非常に親和性の高いものとなっている。標準ロジック部を構成するトランジスタは、図23に示す構造が一般的である。図23に示すトランジスタ7は、半導体基板311、ゲート絶縁膜312、ゲート電極313、絶縁膜からなるサイドウォールスペーサ314、ソース領域317、ドレイン領域318、LDD (Lightly Doped Drain : 浅いドレイン) 領域319の構成要素からなっている。上記構成は、上記記憶素子の構成に近い。上記標準ロジック部を構成するトランジスタを上記記憶素子に変更するためには、例えば、上記サイドウォールスペーサ314にメモリ機能体としての機能を付加し、LDD領域319を除去するだけでよい。より具体的には、サイドウォールスペーサ314を、例えば、図5のメモリ機能体161、162と同様な構造に変更すればよい。この際、シリコン酸化膜141、143、シリコン窒化膜142の膜厚構成比は記憶素子が適切な動作をするように選ばばよい。上記標準ロジック部を構成するトランジスタ7の記憶素子サイドウォールスペーサ314の膜構成が図5のメモリ機能体161、162と同様な構造であったとしても、記憶素子サイドウォールスペーサ幅（すなわちシリコン酸化膜141、143とシリコン窒化膜142とのトータル膜厚）が適切であって、書換え動作が起こらない電圧範囲で動作させる限り、トランジスタ性能を損なうことがない。また、上記標準ロジック部を構成するトランジスタと上記記憶素子とを混載させるためには、更に、上記記憶素子部のみLDD構造を形成しない必要がある。LDD構造を形成するためには、上記ゲート電極を形成した後であって上記メモリ機能体（記憶素子サイドウォールスペーサ）を形成する前に、LDD形成のための不純物注入を行なえばよい。したがって、上記LDD形成のための不純物注入を行なう際に、上記記憶素子部のみフォトリソでマスクするだけで、上記記憶素子と上記標準ロジック部を構成するトランジスタとを容易に混載することが可能となる。更に、上記標準ロジック部を構成するトランジスタによってSRAMを構成すれば、不揮発性メモリ、ロジック回路、SRAM（スタティック・ランダム・アクセス・メモリ）を容易に混載することができる。

できる。上記記憶素子は微細化が容易で、かつ2ビット動作が可能であるから、マスクROMを上記記憶素子で置き換えてもチップ面積の増大をほとんど招かない。また、上記記憶素子を形成するプロセスは、通常のCMOS形成プロセスとほとんど変わらないので、論理回路部との混載が容易である。

5 本発明のICカードに用いる記憶素子のメモリ機能体は、例えば、図5に示した記憶素子のように、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。このとき、上記第1の絶縁体とはシリコン窒化物であり、上記第2及び第3の絶縁膜とはシリコン酸化物である場合が特に好ましい。このようなメモリ機能体を有する記憶素子は、高速書換え、高信頼性、十分な保持特性を有している。したがって、このような記憶素子を本発明のICカードに用いれば、ICカードの動作速度を向上し、信頼性を向上させることが可能となる。

10 また、本発明のICカードに用いる記憶素子は、実施の形態6の記憶素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも薄く、0.8nm以上であることが好ましい。このような記憶素子は、書込み動作及び消去動作が低電圧で行なわれ、又は書込み動作及び消去動作が高速である。更には、記憶素子のメモリ効果が大きい。したがって、このような記憶素子を本発明のICカードに用いれば、ICカードの電源電圧を低くし、又は動作速度を向上させることが可能となる。

20 また、本発明のICカードに用いる記憶素子は、実施の形態7の記憶素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも厚く、20nm以下であることが好ましい。このような記憶素子は、記憶素子の短チャネル効果を悪化させることなく保持特性を改善することができるから、高集積化しても十分な記憶保持性能を得ることができる。したがって、このような記憶素子を本発明のICカードに用いれば、データメモリ部の記憶容量を大きくして機能を向上させ、又は製造コストを削減することが可能となる。

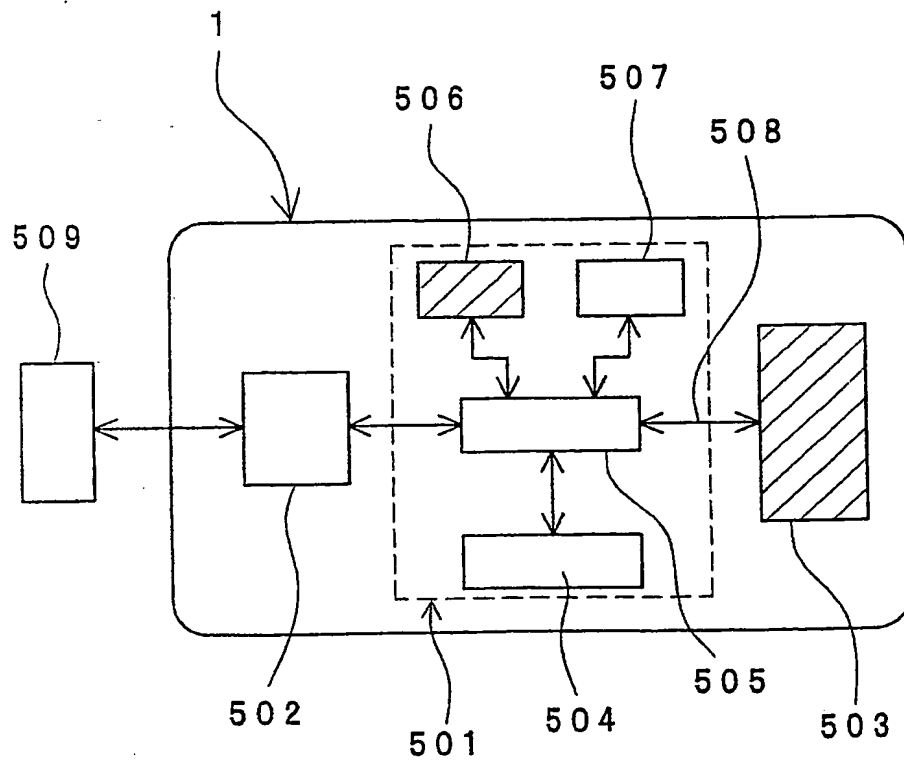
Fig. 1

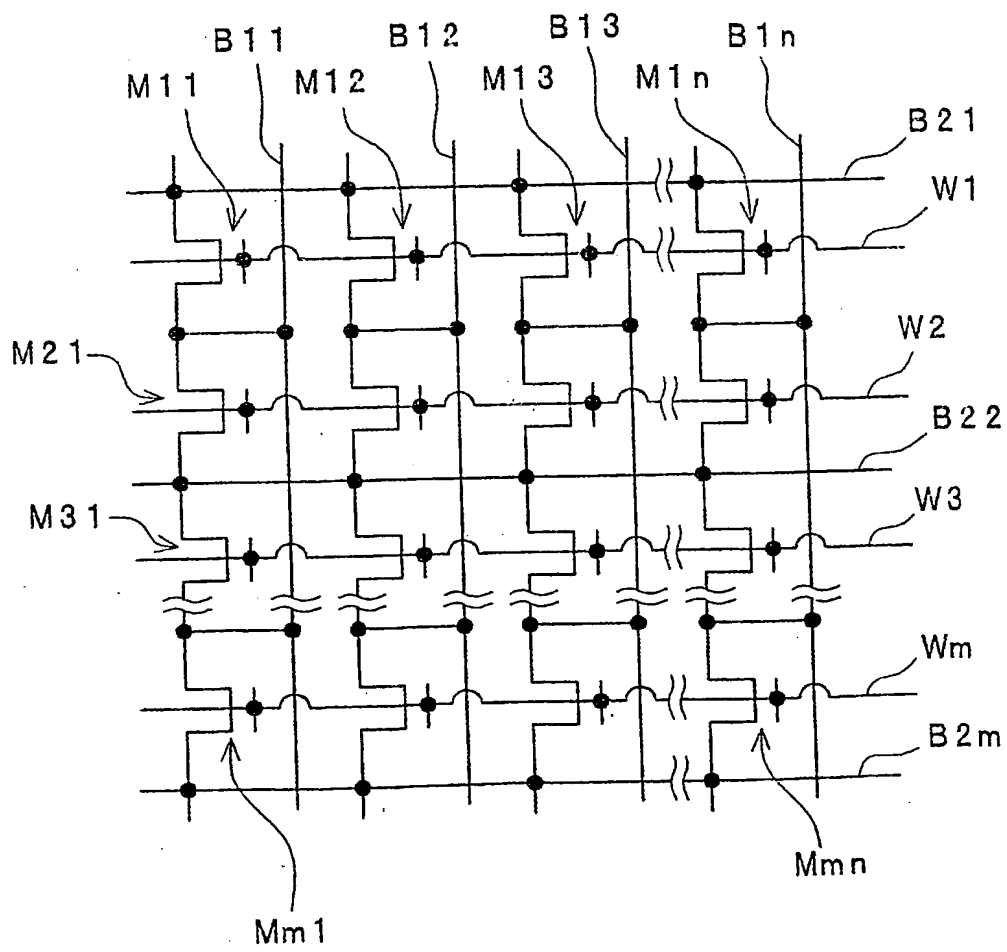
Fig. 2

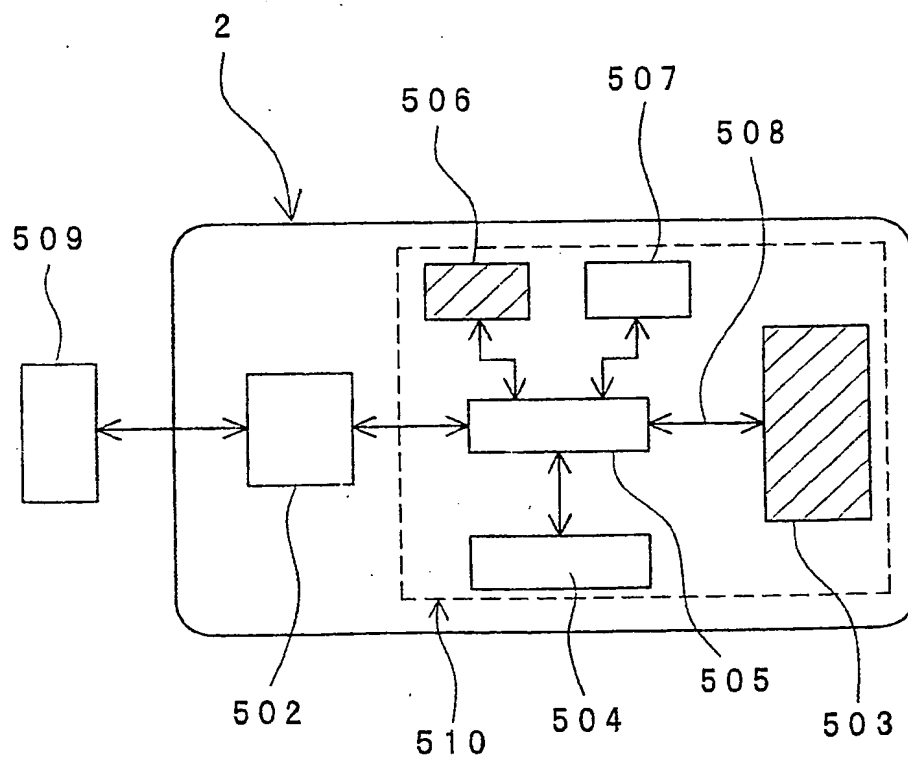
Fig. 3

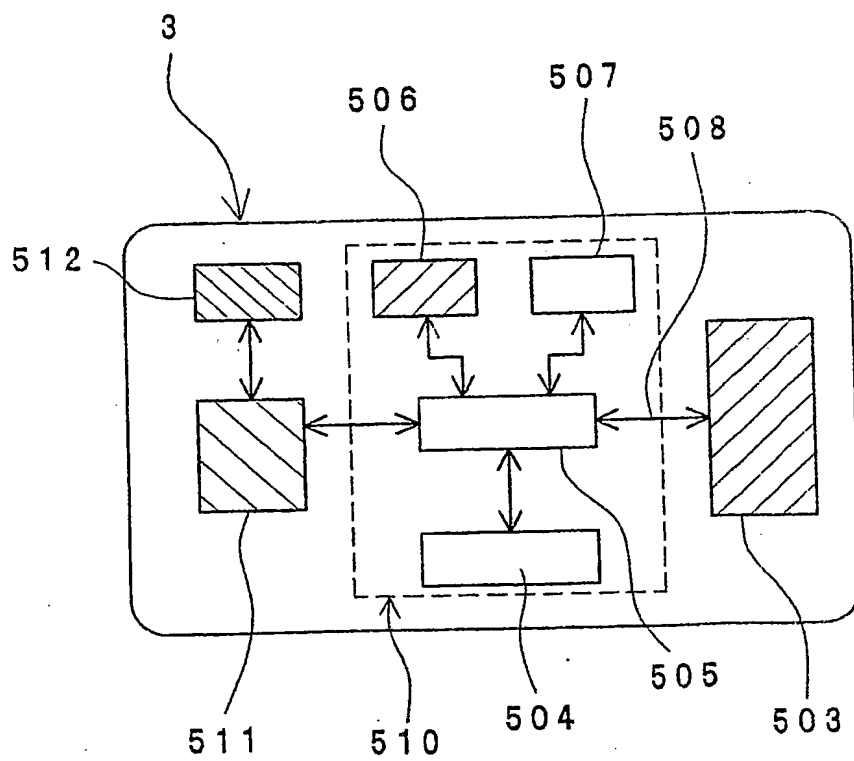
Fig. 4

Fig. 5

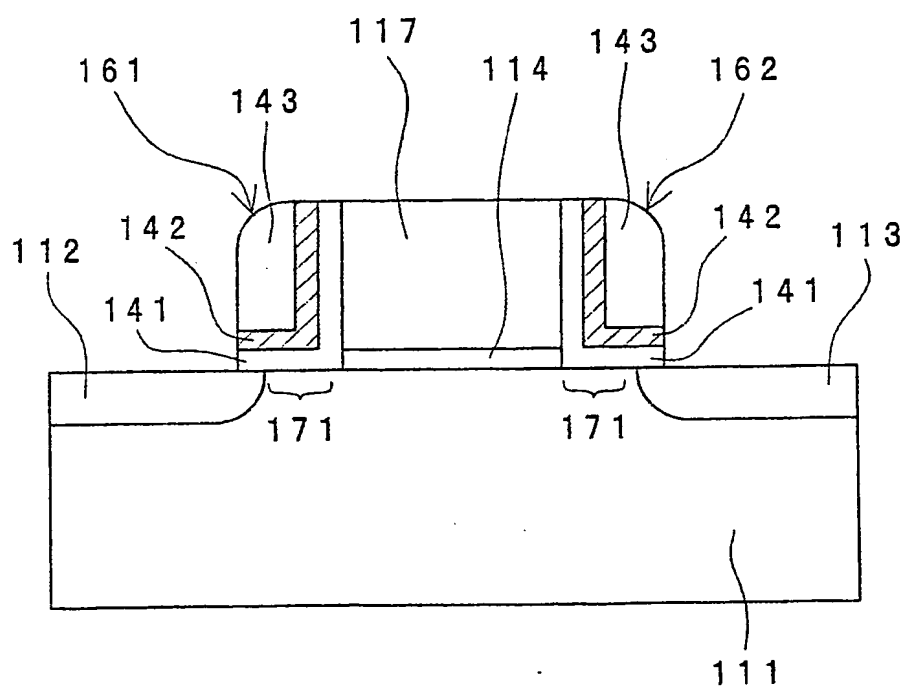


Fig. 6

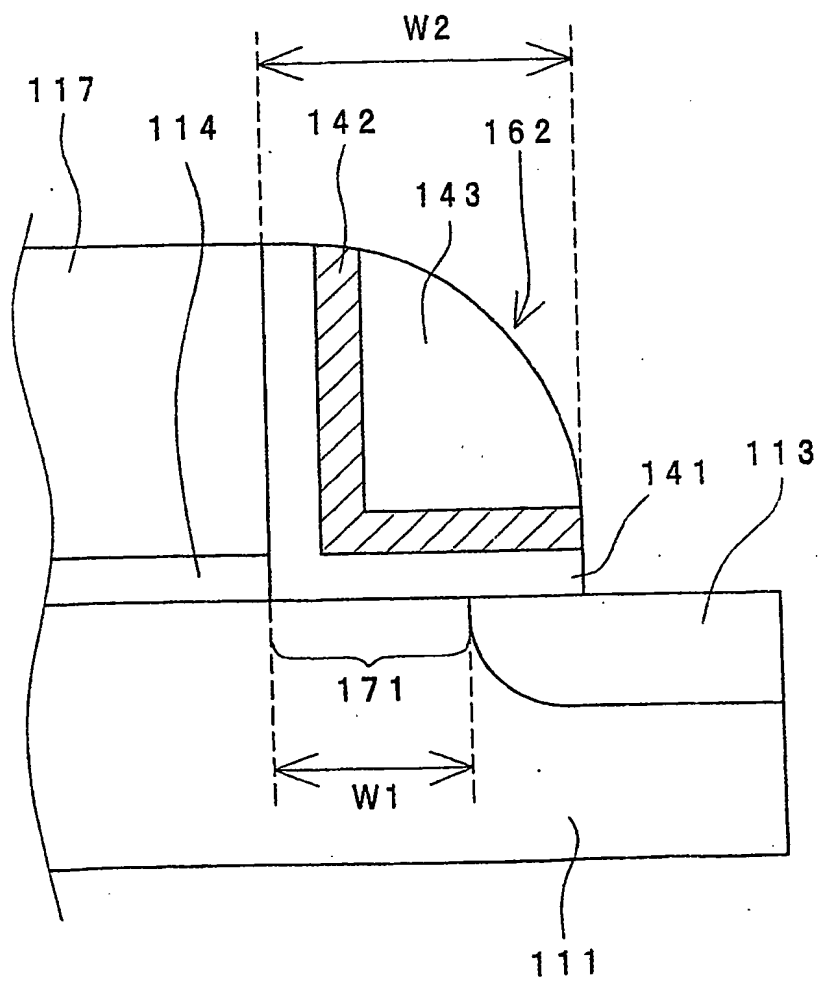


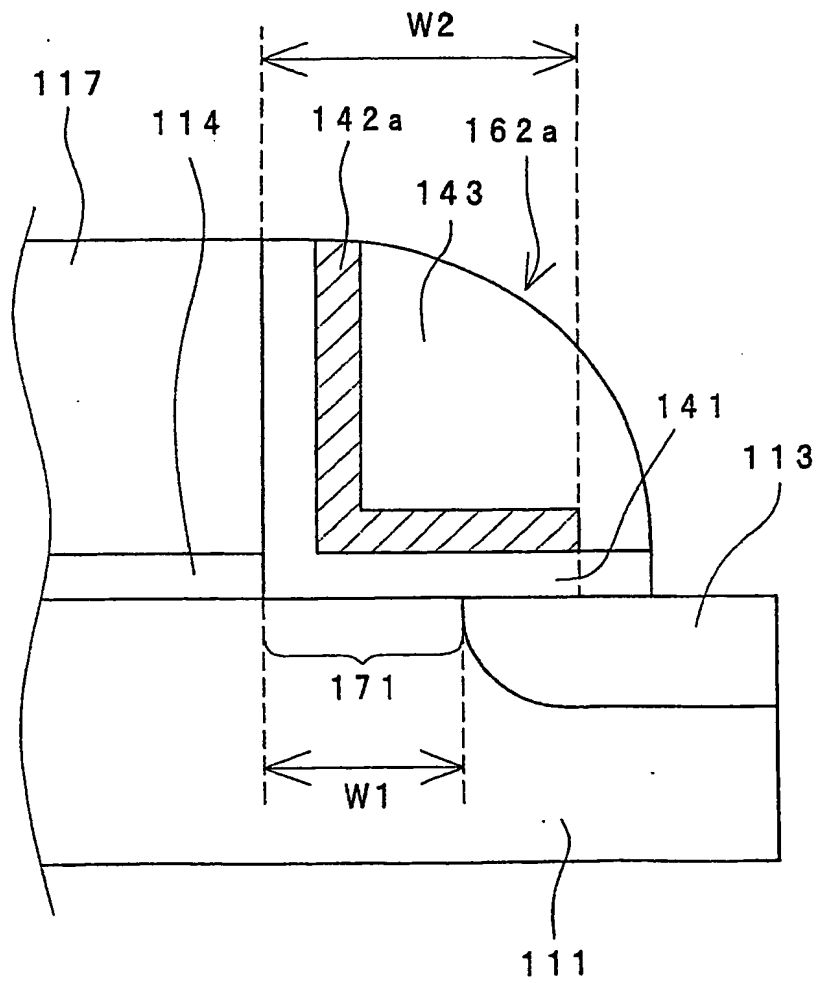
Fig. 7

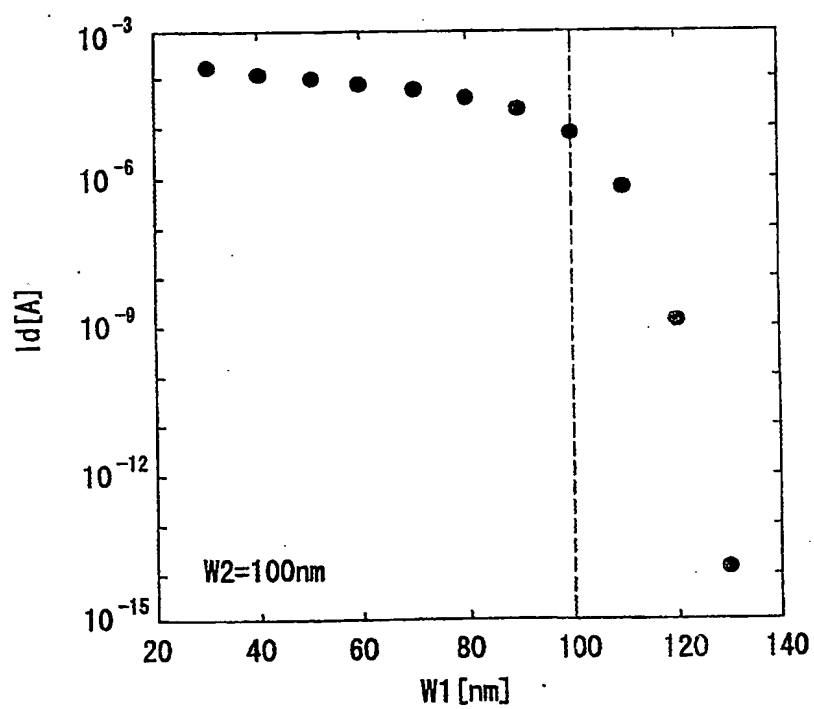
Fig. 8

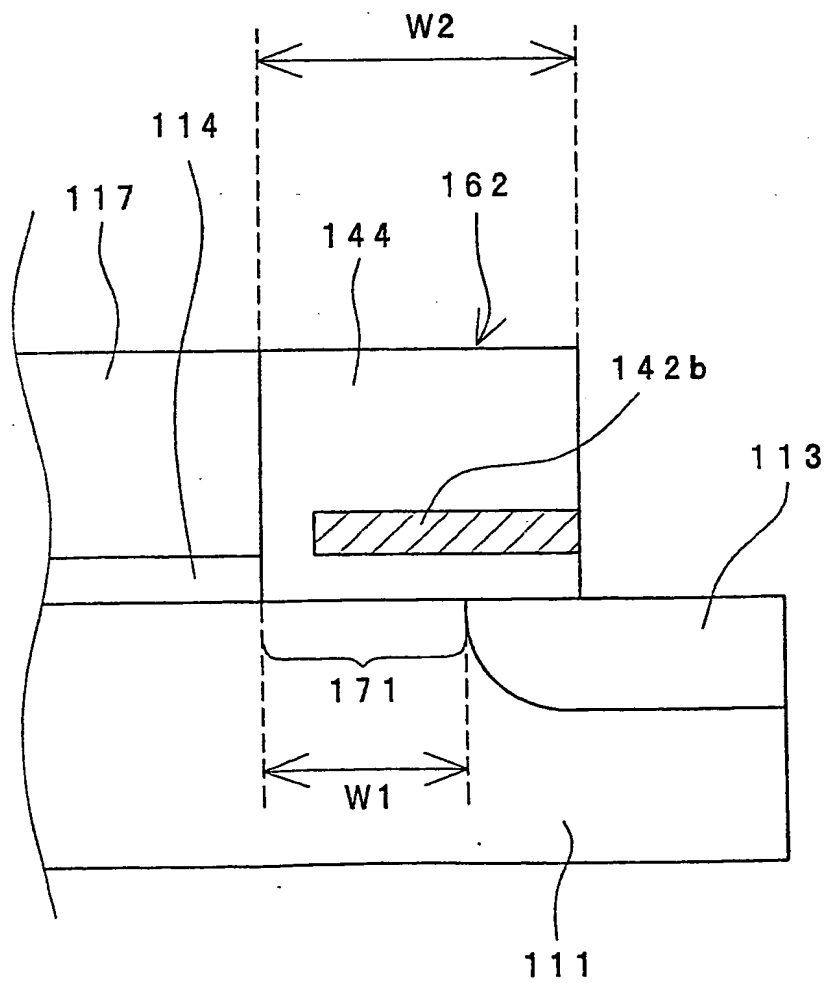
Fig. 9

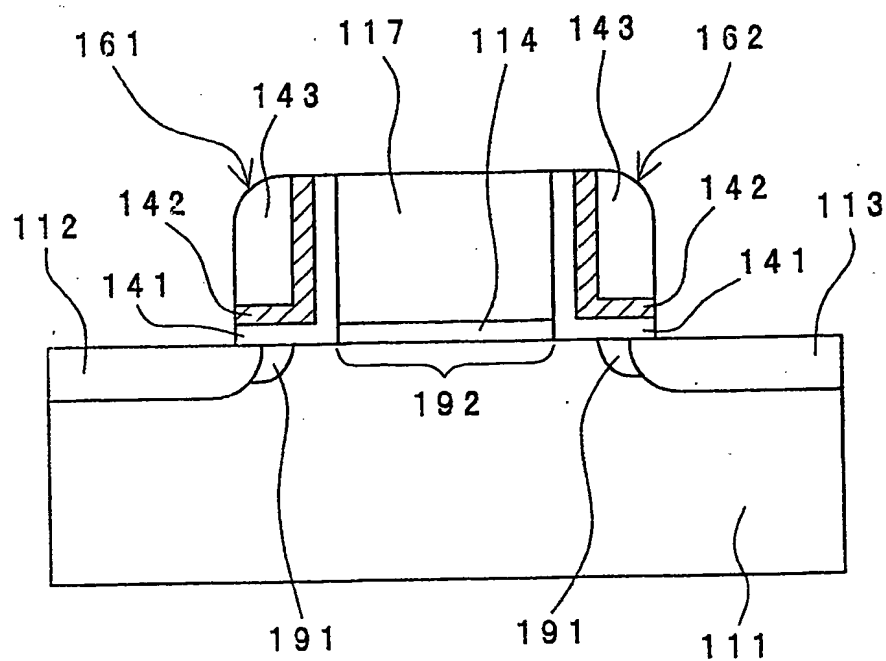
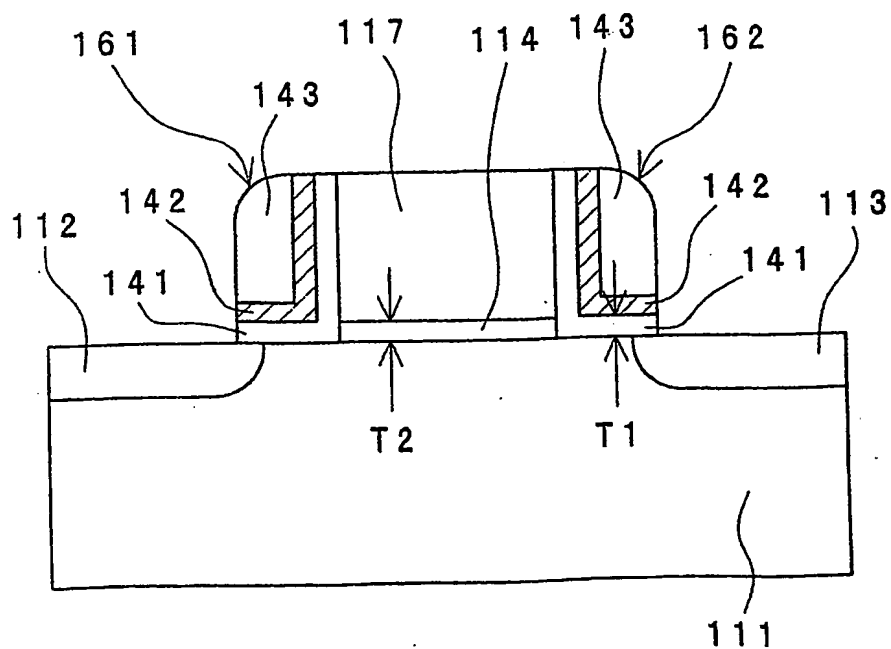
Fig. 13*Fig. 14*

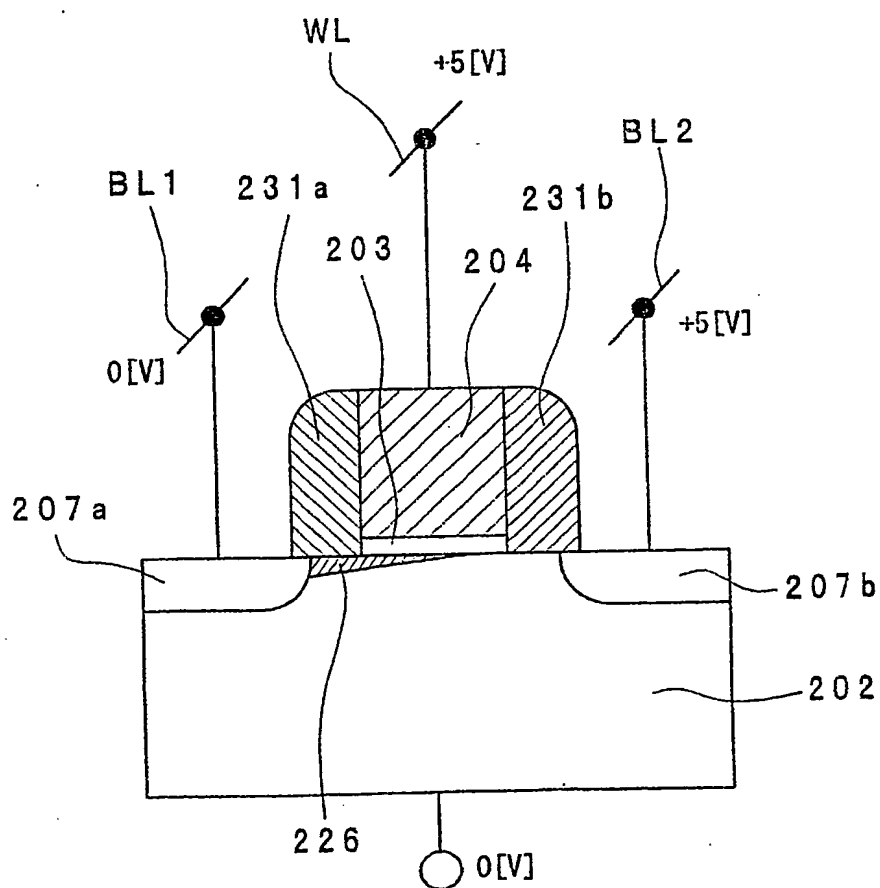
Fig. 16

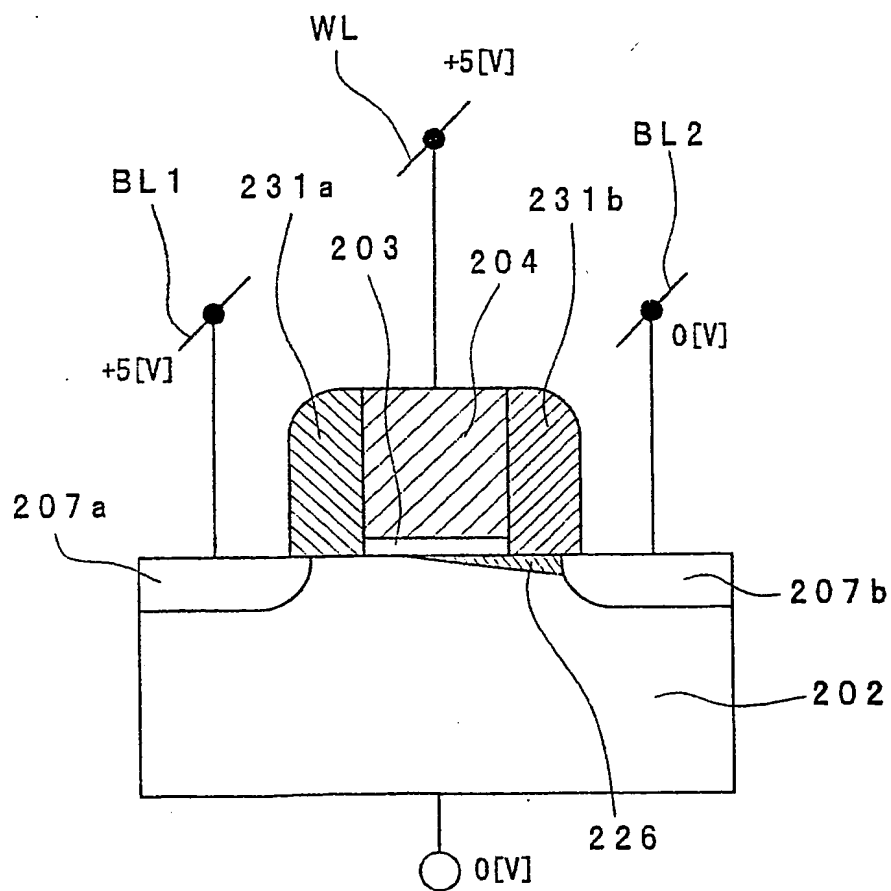
Fig. 17

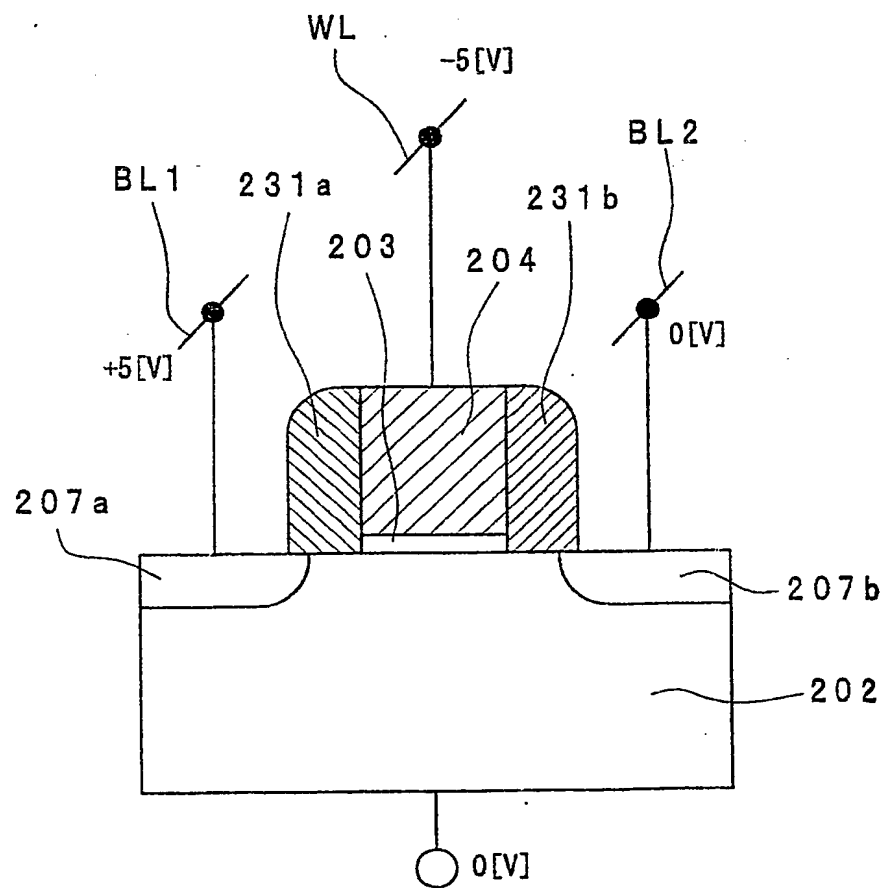
Fig. 18

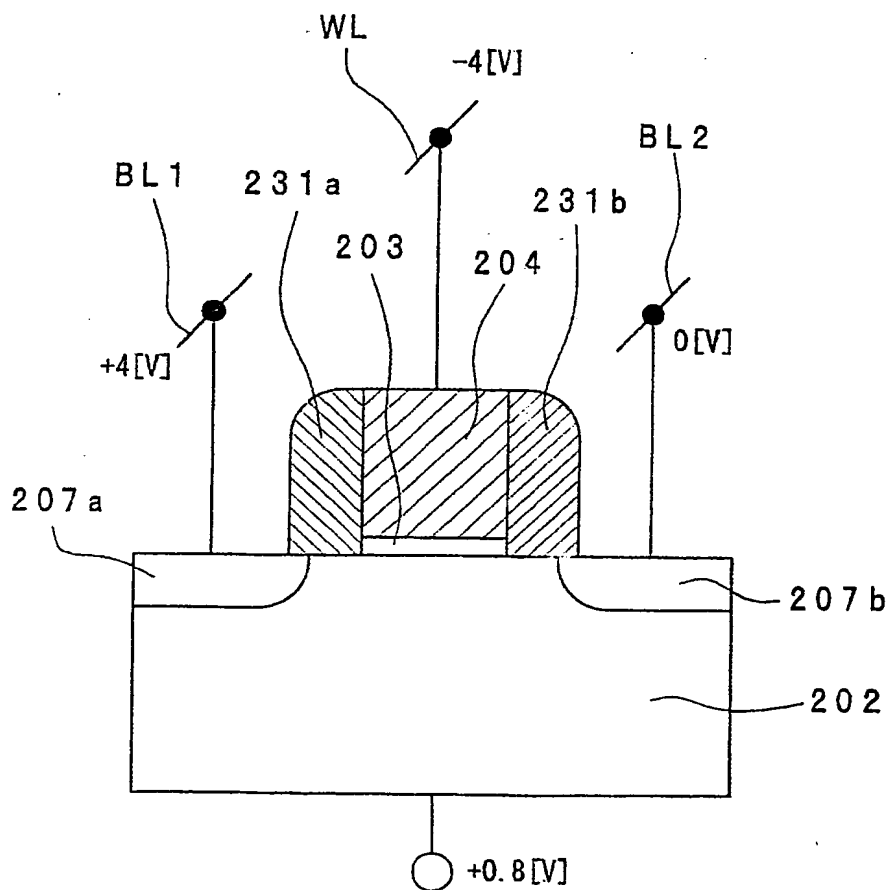
Fig. 19

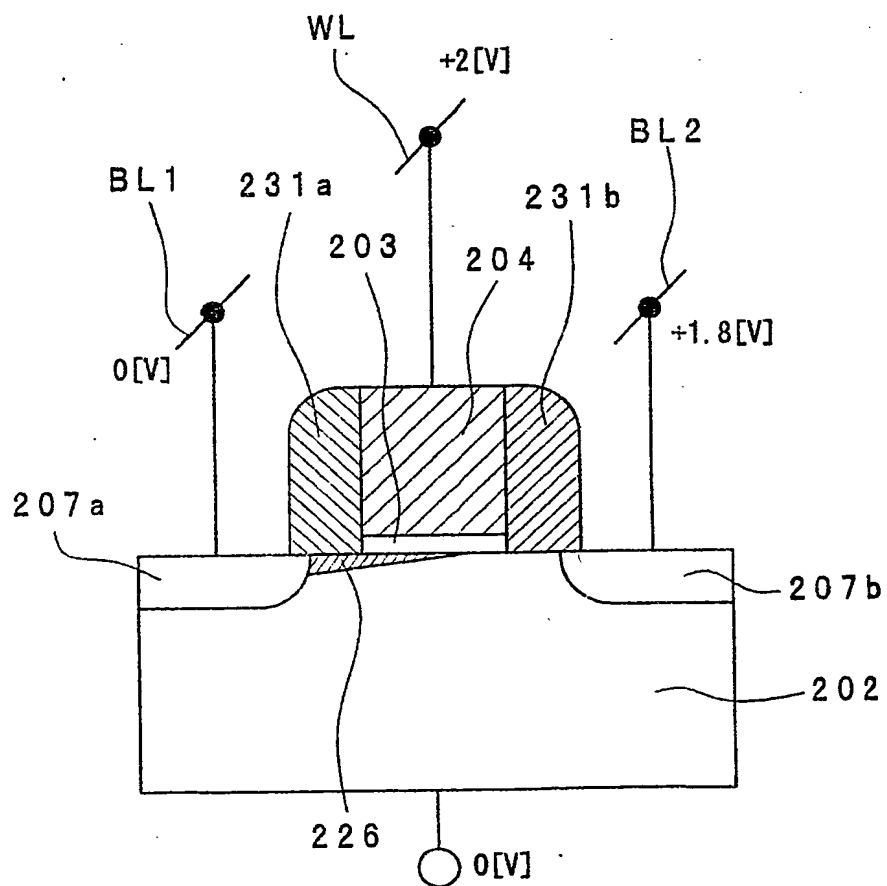
Fig. 20

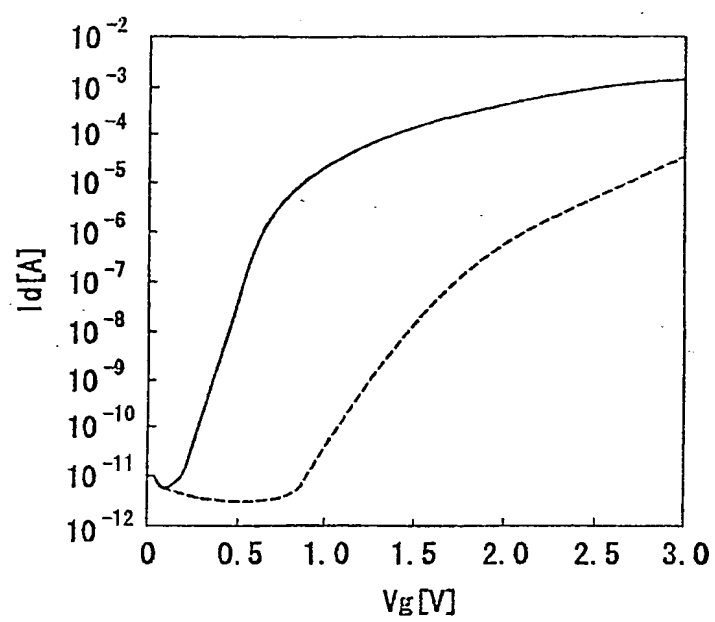
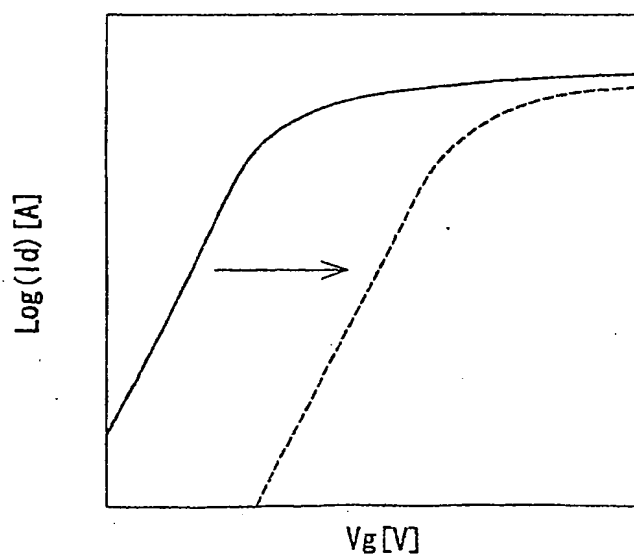
Fig. 21*Fig. 22*

Fig. 23

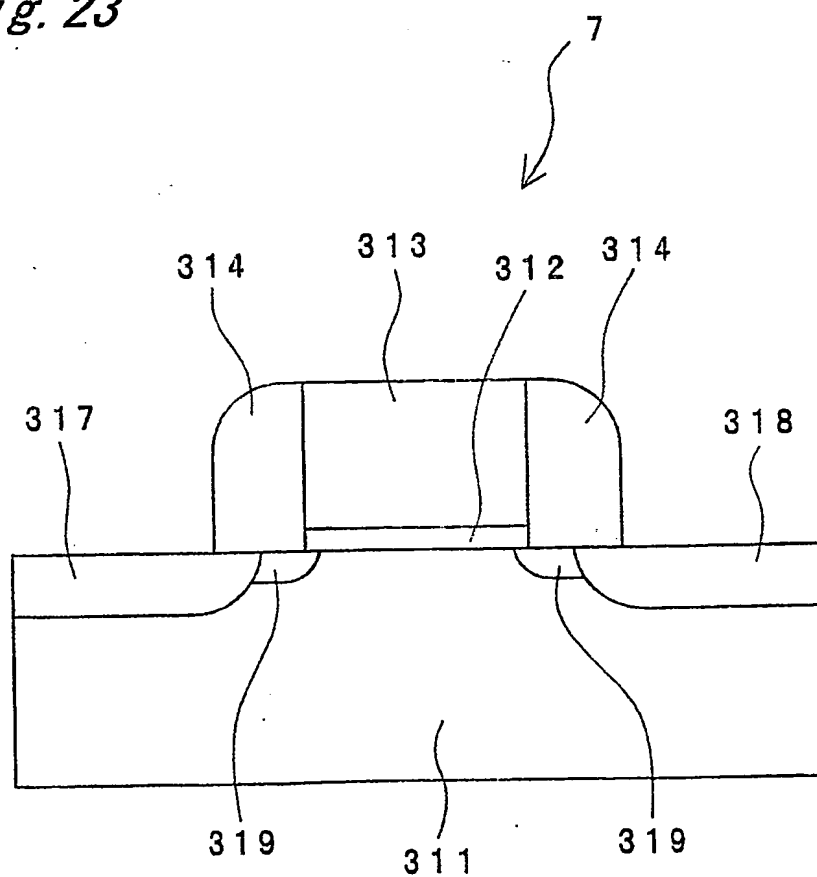
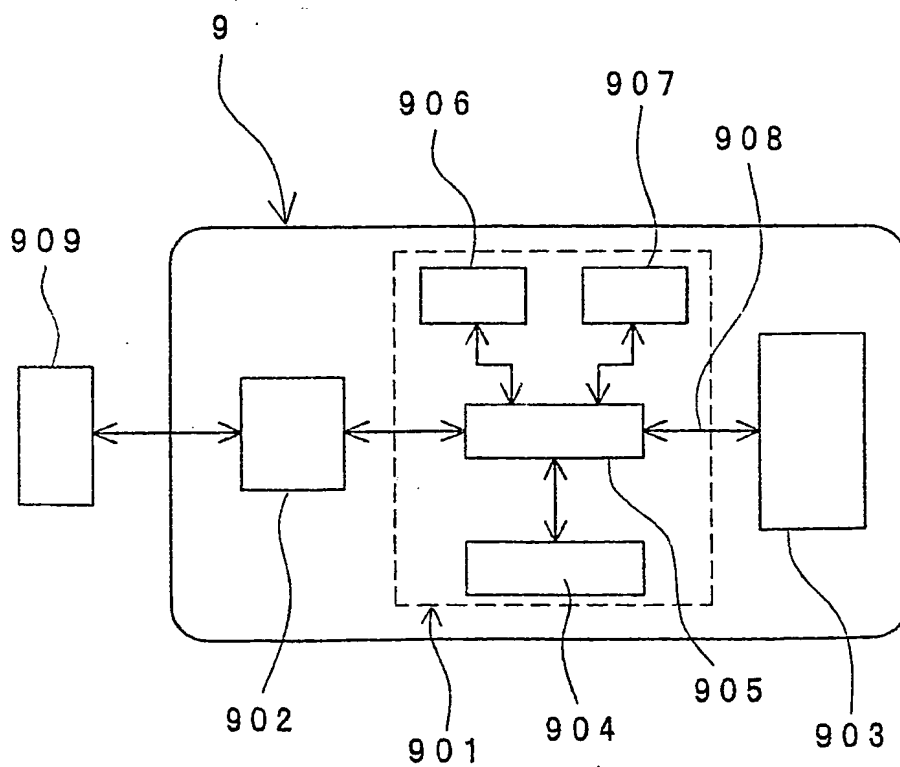


Fig. 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06730

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/788, H01L29/792, H01L27/115, H01L21/8247,
G06K19/077

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/788, H01L29/792, H01L27/115, H01L21/8247,
G06K19/077

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-120501 A (Mitsubishi Electric Corp.), 18 May, 1993 (18.05.93), Full text; Figs. 1, 3, 5 (Family: none)	1-12
Y	JP 8-171621 A (Matsushita Electric Industrial Co., Ltd.), 02 July, 1996 (02.07.96), Full text; Fig. 1 (Family: none)	1-12
Y	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA), 01 January, 2002 (01.01.02), Full text; Figs. 1 to 3 & JP 2001-156188 A Full text; Figs. 1 to 9 & KR 2000076792 A	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 August, 2003 (13.08.03)

Date of mailing of the international search report
26 August, 2003 (26.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06730

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-230332 A (Sony Corp.), 24 August, 2001 (24.08.01), Full text; Fig. 27 & US 2002/0097621 A1	1-12
Y	WO 01/17030 A1 (MACRONIX AMERICA, INC.), 08 March, 2001 (08.03.01), Full text; Figs. 1 to 2 & JP 2003-508920 A	1-12
Y	JP 4-152490 A (SHARP KABUSHIKI KAISHA), 26 May, 1992 (26.05.92), Full text; Fig. 4 (Family: none)	3
Y	JP 6-259617 A (SHARP KABUSHIKI KAIHSA), 16 September, 1994 (16.09.94), Par. No. [0012]; Figs. 1 to 2 (Family: none)	4
Y	EP 1139223 A2 (SHARP KABUSHIKI KAISHA, NIPPON TELEGRAPH AND TELEPHONE CORP.), 04 October, 2001 (04.10.01), Full text; Figs. 1 to 2 & JP 2001-256460 A Full text; Figs. 1 to 2 & KR 2001092333 A & US 2001/0027511 A1	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L29/788, H01L29/792, H01L27/115, H01L21/8247, G06K19/077

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L29/788, H01L29/792, H01L27/115, H01L21/8247, G06K19/077

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-120501 A(三菱電機株式会社) 1993.05.18 全文, 図1, 3, 5(ファミリーなし)	1-12
Y	JP 8-171621 A(松下電器産業株式会社) 1996.07.02 全文, 図1(ファミリーなし)	1-12
Y	US 6335554 B1(KABUSHIKI KAISHA TOSHIBA) 2002.01.01 全文, 図1-3 & JP 2001-156188 A, 全文, 図1-9 & KR 2000076792 A	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.08.03

国際調査報告の発送日

25.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

電話番号 03-3581-1101 内線 3460



4M

9836

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-230332 A(ソニー株式会社) 2001.08.24 全文, 図27 & US 2002/0097621 A1	1-12
Y	WO 01/17030 A1(MACRONIX AMERICA, INC.) 2001.03.08 全文, 図1-2 & JP 2003-508920 A	1-12
Y	JP 4-152490 A(シャープ株式会社) 1992.05.26 全文, 第4図(ファミリーなし)	3
Y	JP 6-259617 A(シャープ株式会社) 1994.09.16 【0012】, 図1-2(ファミリーなし)	4
Y	EP 1139223 A2(SHARP KABUSHIKI KAISHA, NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 2001.10.04 全文, 図1-2 & JP 2001-256460 A, 全文, 図1-2 & KR 2001092333 A & US 2001/0027511 A1	4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.